

Docket No.: SON-2889  
(PATENT)

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of:  
Kenichiro Ishikawa et al

Art Unit: N/A

Application No.: Not Yet Assigned

Filed: January 6, 2004

For: LIQUID CRYSTAL DISPLAY DEVICE AND  
INSPECTING METHOD THEREOF

**CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENT**

MS Patent Application  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign applications filed in the following foreign country on the date indicated:

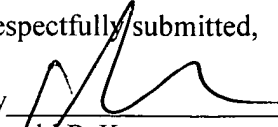
<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	P2003-012506	January 21, 2003

In support of this claim, a certified copy of said original foreign application is filed herewith.

Dated: January 6, 2004

Lion Building  
1233 20<sup>th</sup> Street, N.W., Suite 501  
Washington, D.C. 20036  
Tel: (202) 955-3750  
Fax: (202) 955-3751

Respectfully submitted,

By   
Ronald P. Kananen  
Attorneys for Applicant  
**RADER, FISHMAN & GRAUER, PLLC**  
Registration No.: 24,104  
(202) 955-3750

Customer No. 23353

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    1 月 2 1 日  
Date of Application:

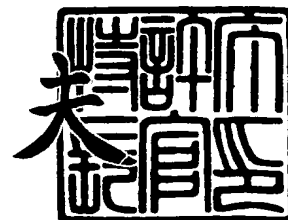
出 願 番 号                      特 願 2 0 0 3 - 0 1 2 5 0 6  
Application Number:  
[ST. 10/C] :                      [ J P 2 0 0 3 - 0 1 2 5 0 6 ]

出      願      人                      ソニー株式会社  
Applicant(s):

2 0 0 3 年 1 0 月 2 3 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 0290767204

【提出日】 平成15年 1月21日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 G09C 3/36

【発明者】

    【住所又は居所】 神奈川県横浜市保土ヶ谷区神戸町 1 3 4 番地 ソニー・  
                                エルエスアイ・デザイン株式会社内

    【氏名】 石川 賢一郎

【発明者】

    【住所又は居所】 神奈川県横浜市保土ヶ谷区神戸町 1 3 4 番地 ソニー・  
                                エルエスアイ・デザイン株式会社内

    【氏名】 滝田 栄志

【発明者】

    【住所又は居所】 神奈川県横浜市保土ヶ谷区神戸町 1 3 4 番地 ソニー・  
                                エルエスアイ・デザイン株式会社内

    【氏名】 吉田 穰

【特許出願人】

    【識別番号】 000002185

    【氏名又は名称】 ソニー株式会社

【代理人】

    【識別番号】 100082762

    【弁理士】

    【氏名又は名称】 杉浦 正知

    【電話番号】 03-3980-0339

【選任した代理人】

    【識別番号】 100120640

    【弁理士】

    【氏名又は名称】 森 幸一

**【手数料の表示】****【予納台帳番号】** 043812**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 0201252**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 液晶表示装置とその検査方法

【特許請求の範囲】

【請求項 1】 複数のデータ信号線のそれぞれと複数のゲート信号線のそれぞれとが交差し、各々の交差位置において画素トランジスタの制御電極が上記ゲート信号線に接続され、上記画素トランジスタの入力電極が上記データ信号線にそれぞれ接続されると共に、上記画素トランジスタの出力電極がキャパシタに接続された液晶表示装置において、

2 本の上記データ信号線毎に設けられ、上記 2 本のデータ信号線の電圧を比較する比較手段を備えたことを特徴とする液晶表示装置。

【請求項 2】 請求項 1 において、

上記複数の比較手段に接続された排他的論理和手段をさらに備えたことを特徴とする液晶表示装置。

【請求項 3】 請求項 1 において、

上記複数の比較手段の接続され、並列的に供給されたデータを直列的に出力するデータ変換手段をさらに備えたことを特徴とする液晶表示装置。

【請求項 4】 複数のデータ信号線のそれぞれと複数のゲート信号線のそれぞれとが交差し、各々の交差位置において画素トランジスタの制御電極が上記ゲート信号線に接続され、上記画素トランジスタの入力電極が上記データ信号線にそれぞれ接続されると共に、上記画素トランジスタの出力電極がキャパシタに接続された液晶表示装置において、

各々の上記データ信号線に対応して設けられ、それぞれ対応する上記画素トランジスタの上記出力電極に接続された複数の相補データ信号線と、

いずれか 1 つの上記相補データ信号線といずれか 1 つの上記ゲート信号線に接続された複数の演算手段とを備えたことを特徴とする液晶表示装置。

【請求項 5】 複数のデータ信号線のそれぞれと複数のゲート信号線のそれぞれとが交差し、各々の交差位置において画素トランジスタの制御電極が上記ゲート信号線に接続され、上記画素トランジスタの入力電極が上記データ信号線にそれぞれ接続されると共に、上記画素トランジスタの出力電極がキャパシタに接

続された液晶表示装置の検査方法において、

隣接する 2 つの上記データ信号線に所定の電圧を供給し、上記画素トランジスタを介して上記 2 つのデータ信号線に接続されたキャパシタへ上記電圧を蓄積させる書き込みステップと、

上記書き込みステップにおいて上記電圧が蓄積された上記キャパシタから上記 2 つのデータ信号線へ読み出された電圧を比較する比較ステップとを有する液晶表示装置の検査方法。

【請求項 6】 複数のデータ信号線のそれぞれと複数のゲート信号線のそれぞれとが交差し、各々の交差位置において画素トランジスタの制御電極が上記ゲート信号線に接続され、上記画素トランジスタの入力電極が上記データ信号線にそれぞれ接続されると共に、上記画素トランジスタの出力電極がキャパシタに接続された液晶表示装置の検査方法において、

2 本の上記データ信号線に異なる電圧を供給し、上記 2 本のデータ信号線に接続された上記画素トランジスタを介して上記キャパシタへ上記異なる電圧を蓄積させる第 1 のステップと、

上記データ信号線の全てを基準電位にプリチャージし、プリチャージ後に上記キャパシタに蓄積されている電圧を上記 2 本のデータ信号線へ読み出す第 2 のステップと、

上記 2 本のデータ信号線の電圧を比較する第 3 のステップとからなる液晶表示装置の検査方法。

【請求項 7】 請求項 6 において、

上記 2 本のデータ信号線に印加する上記異なる電圧の大小関係を逆にしてさらに上記第 1 から第 3 のステップを行う液晶表示装置の検査方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、アクティブマトリックス型液晶表示装置に適用される液晶表示装置とその検査方法に関し、特に、基板の画素欠陥の検査に関する。

【0002】

**【従来の技術】**

アクティブマトリクス型液晶表示装置は、データ信号線とゲート信号線の交差位置にスイッチング用の T F T (Thin Film Transistor: 薄膜トランジスタ) と透明電極とを設け、透明電極の電圧を制御する構成とされている。例えば、小型であり、解像度が高い S i ベースの液晶パネルが携帯電話機、P D A (Personal Digital Assistants) 等に搭載されつつある。

**【0003】**

S i ベースの液晶パネルでは、S i ウエーハ上に画素毎にトランジスタ、キャパシタ素子および画素電極（例えば反射板）を形成した L S I (Large Scale Integrated Circuit: 大規模集積回路) と、ガラス基板に被着された透明電極との間に液晶を封止した構成を有している。L S I は、例えば C M O S (Complementary Metal Oxide Semiconductor: 相補性金属酸化膜半導体) プロセスで製造される。本明細書では、反射電極を形成する前の段階、または液晶を封止する前の段階の L S I を液晶表示装置基板と称している。

**【0004】**

一般的に、アクティブマトリクス液晶表示装置基板においては、画素部の占める面積が大きいため、駆動回路部に比して画素部の方が良品率が低く、その結果製造コストが高いことが問題となっており、画素部の良品率の改善が大きな課題となっている。この良品率改善のためには、画素欠陥の検査方法の開発が不可欠である。画素欠陥検査を行なう方法として、液晶注入後に実際に液晶を駆動し、その表示画像を画像処理装置で解析し、欠陥検査を行なう方法や、目視により欠陥を検出する方法が採用されている。

**【0005】**

しかしながら、このような方法は、実際に液晶表示装置を駆動させ、画像を表示させての検査になるため、測定時間が長くなり、高い生産性も期待できない。また、このような画素欠陥の検査を、液晶注入後に行っていたのでは、仮に画素欠陥が生じていることが発見された場合に、その欠陥が発見された液晶表示装置を破棄しなければならないという問題点を有している。一旦、液晶を注入した液晶表示装置の液晶を抜き取り、欠陥部分を補償後、再度液晶を入れなおすこ

とは、製造コストなどの点で現実的でないからである。よって、特に液晶注入前に検査を行なって良品と不良品とを振り分けることは、以後の工程でのコスト削減と、製造プロセスへの早期の欠陥情報のフィードバックにつながるので、重要な技術である。

#### 【0006】

そこで、液晶表示装置の画素欠陥の検査を液晶の注入工程前に行なう方法に関して、下記の特許文献1に説明されている。

#### 【0007】

##### 【特許文献1】

特許第2728748号明細書

#### 【0008】

図12は、上記特許文献1に記載されている液晶表示装置を示している。参照符号1が水平走査回路としてのシフトレジスタを示し、参照符号2が垂直走査回路としてのゲート駆動回路を示す。簡単のために、 $(4 \times 4 = 16)$ 個の画素を有している。シフトレジスタ1の並列出力端子のそれぞれがアナログスイッチ3のゲートに接続される。アナログスイッチ3のドレインが信号スイッチ4のドレインに共通に接続される。信号スイッチ4のドレインがリセットスイッチ5のドレイン・ソース間を介して接地されると共に、ソースホロワ回路6に接続される。

#### 【0009】

アナログスイッチ3のそれぞれのソースから4本のデータ信号線D1, D2, D3, D4が導出される。ゲート駆動回路2の出力端子からゲート信号線G1, G2, G3, G4がそれぞれ導出される。データ信号線D1～D4とゲート信号線G1～G4とのそれぞれの交差する位置に画素トランジスタSとキャパシタCsからなる画素部が構成される。キャパシタCsと並列に画素電極（図示しない）が接続される。画素電極と対向する透明電極間に液晶が封止される。透明電極は、ガラス基板に被着されたものである。

#### 【0010】

通常動作では、シフトレジスタ1、ゲート駆動回路2によりデータ信号線およ



びゲート信号線の両者に信号が送られた画素がアクティブとなり、信号スイッチ 4 を介して印加された信号電位がデータ信号線に導かれ、画素トランジスタ S を介して画素に書き込まれる。各画素に設けられたキャパシタ C s は、次の書き込みまでの間、信号電位を保持することを目的とした補助容量である。

#### 【0011】

上記の特許文献 1 には、液晶工程導入前に画素部のトランジスタ S またはキャパシタ C s の容量不足等の画素欠陥を判定する方法が記載されている。最初に、信号スイッチ 4 を介して常にハイレベル（以下、適宜”H”と表記する）の電圧を発生する書き込みモードとされる。書き込みモードでは、ゲート電極例えば G 2 を”H”とし、シフトレジスタ 1 の出力を順番に”H”とし、第 2 行の 4 個の画素部の画素トランジスタ 7 を順にオンとし、画素部に対して順に信号電荷を書き込む。

#### 【0012】

全ての画素部に対して書き込みが終了すると、信号スイッチ 4 のゲートが接地電位とされ、アナログスイッチ 3 のドレイン側がハイインピーダンスとされる読み出しモードとされる。例えば第 2 行のゲート信号線 G 2 が”H”とされ、シフトレジスタ 1 によって第 2 行の各画素部の信号を順に読み出す。1 画素の信号が読み出される度にリセットトランジスタ 5 がオンとされ、次の画素部の読み出し前にリセット動作がなされる。

#### 【0013】

各画素から順に読み出された信号がアナログスイッチ 3 とソースホロワ回路 6 を介して出力される。ソースホロワ回路 6 の出力信号が観察され、この出力信号から画素欠陥が検査される。例えば第 2 行の第 3 番目の画素部に不良がある場合には、その画素部に対応するソースホロワ回路 6 の出力が発生せず、不良箇所を判定できる。すなわち、特許文献 1 に記載のものは、電荷量に応じた波形を検出することによって画素の欠陥を検出する方法である。

#### 【0014】

##### 【発明が解決しようとする課題】

しかしながら、特許文献 1 に記載の方法は、1 画素ずつの評価になるため、（1280×1024）、（1920×1200）等の画素数が 100 万画素以上

、200万画素以上となる高解像度の液晶パネルの場合では、全画素を評価する際には測定時間がかかる問題がある。また、アナログ検出波形を高精度に評価するシステムの構築が必要となると考えられる。さらに、画素毎に設けられた容量素子の大きさに比べ、データ信号線の寄生容量がはるかに大きく（例えば200倍）、且つ、寄生容量が生産ばらつきを持っている。評価系例えばテスト系の容量も存在する。これらの各チップ・評価系のバラツキにより、得られる検出波形例えばその振幅がばらつくこととなる。この結果、データ信号線の寄生容量、テスト系の容量をよく考慮しないと、検出値から画素の容量を正確に評価することができな問題があった。

#### 【0015】

したがって、この発明の目的は、デジタル信号によって画素欠陥の有無を検査することができ、検査時間の短縮化、寄生容量、評価系の容量の影響を受けない高精度の検査が可能な液晶表示装置とその検査方法を提供することにある。

#### 【0016】

##### 【課題を解決するための手段】

上述した課題を解決するために、請求項1の発明は、複数のデータ信号線のそれぞれと複数のゲート信号線のそれぞれとが交差し、各々の交差位置において画素トランジスタの制御電極がゲート信号線に接続され、画素トランジスタの入力電極がデータ信号線にそれぞれ接続されると共に、画素トランジスタの出力電極がキャパシタに接続された液晶表示装置において、

2本のデータ信号線毎に設けられ、2本のデータ信号線の電圧を比較する比較手段を備えたことを特徴とする液晶表示装置である。

#### 【0017】

請求項4の発明は、複数のデータ信号線のそれぞれと複数のゲート信号線のそれぞれとが交差し、各々の交差位置において画素トランジスタの制御電極がゲート信号線に接続され、画素トランジスタの入力電極がデータ信号線にそれぞれ接続されると共に、画素トランジスタの出力電極がキャパシタに接続された液晶表示装置において、

各々のデータ信号線に対応して設けられ、それぞれ対応する画素トランジスタ

の出力電極に接続された複数の相補データ信号線と、

いずれか1つの相補データ信号線といずれか1つのゲート信号線に接続された複数の演算手段とを備えたことを特徴とする液晶表示装置である。

**【0018】**

請求項5の発明は、複数のデータ信号線のそれぞれと複数のゲート信号線のそれぞれとが交差し、各々の交差位置において画素トランジスタの制御電極がゲート信号線に接続され、画素トランジスタの入力電極がデータ信号線にそれぞれ接続されると共に、画素トランジスタの出力電極がキャパシタに接続された液晶表示装置の検査方法において、

隣接する2つのデータ信号線に所定の電圧を供給し、画素トランジスタを介して2つのデータ信号線に接続されたキャパシタへ電圧を蓄積させる書き込みステップと、

書き込みステップにおいて電圧が蓄積されたキャパシタから2つのデータ信号線へ読み出された電圧を比較する比較ステップとを有する液晶表示装置の検査方法である。

**【0019】**

請求項6の発明は、複数のデータ信号線のそれぞれと複数のゲート信号線のそれぞれとが交差し、各々の交差位置において画素トランジスタの制御電極がゲート信号線に接続され、画素トランジスタの入力電極がデータ信号線にそれぞれ接続されると共に、画素トランジスタの出力電極がキャパシタに接続された液晶表示装置の検査方法において、

2本のデータ信号線に異なる電圧を供給し、2本のデータ信号線に接続された画素トランジスタを介してキャパシタへ異なる電圧を蓄積させる第1のステップと、

データ信号線の全てを基準電位にプリチャージし、プリチャージ後にキャパシタに蓄積されている電圧を2本のデータ信号線へ読み出す第2のステップと、

2本のデータ信号線の電圧を比較する第3のステップとからなる液晶表示装置の検査方法である。

**【0020】**

この発明では、アナログ波形を評価する方法と異なり、デジタル出力でもって画素欠陥を検出することが可能となる。したがって、アナログ検出波形を高精度に評価するシステムの構築が不要となり、また、データ信号線の寄生容量のバラツキ、または評価系例えばテスト系の容量のバラツキの影響を受けないで、正確な検査を行うことが可能となる。

#### 【0021】

##### 【発明の実施の形態】

以下、この発明の一実施形態について図面を参照して説明する。図1は、一実施形態の構成を示し、参照符号11が水平走査回路としてのシフトレジスタを示し、参照符号12が垂直走査回路としてのゲート駆動回路を示す。画素数を一般的に、 $(H \times V)$ と表すと、H本のデータ信号線とV本のゲート信号線とが設けられている。データ信号線とゲート信号線のそれぞれの交差する位置に画素トランジスタSとキャパシタC<sub>s</sub>とからなる画素部が設けられている。キャパシタC<sub>s</sub>と並列に画素電極が接続される。画素電極と対向電極間に液晶が封止される。

#### 【0022】

図1の構成では、隣接する2画素を同時にアクティブとする構成とされている。すなわち、一方の入力信号端子14aに対して奇数番目のトランジスタ13aのドレインが共通に接続され、他方の信号入力端子14bに対して偶数番目のトランジスタ13bのドレインが共通に接続される。トランジスタ13aのソースに対して奇数番目のデータ信号線DA1, DA2, ..., DA<sub>n</sub>がそれぞれ接続される。n = H/2の関係である。トランジスタ13bのソースに対して偶数番目のデータ信号線DB1, DB2, ..., DB<sub>n</sub>がそれぞれ接続される。m (m = 1 ~ n) 番目のデータ信号線をDA<sub>m</sub>、DB<sub>m</sub>と表記する。

#### 【0023】

一例として隣接する2本のデータ信号線の出力信号がコンパレータCMP1, CMP2, ..., CMP<sub>n</sub>のそれぞれの入力端子に対して供給される。m番目のコンパレータをCMP<sub>m</sub>と表記する。コンパレータCMP1 ~ CMP<sub>n</sub>は、画素部が形成される半導体基板例えばSi基板上に画素部と同様にCMOSプロセスによって形成される。

**【0024】**

コンパレータCMP<sub>m</sub>は、一方のデータ信号線DA<sub>m</sub>から入力される電位が他方のデータ信号線DB<sub>m</sub>から入力される電位に比して高い場合に”H”の比較出力を発生し、逆にDA<sub>m</sub>の電位がDB<sub>m</sub>に比して低い場合に”L”の比較出力を発生するものである。コンパレータCMP<sub>1</sub>～CMP<sub>m</sub>のデジタルの比較出力を観察することにより画素欠陥を検出するようになされている。

**【0025】**

通常動作では、信号入力端子14aおよび14bに対して並列化された信号が入力され、トランジスタ13aおよび13bの例えば第1番目のものがオンされ、第1番目のゲート信号線G<sub>1</sub>が”H”とされることによって、隣接する2個の画素トランジスタが同時にオンし、オンしたトランジスタに接続されているキャパシタに対して信号電荷が蓄積される。キャパシタC<sub>s</sub>は、1フレーム後の次の書き込みまで、信号電位を保持するものである。このように、水平方向に隣接する2画素毎に信号が書き込まれる。

**【0026】**

なお、水平方向に隣接する2画素を同時にアクティブとする構成は一例であって、隣接しない2画素を同時にアクティブとしたり、4画素以上の偶数個の画素を同時にアクティブとするようにしても良い。このように、複数の画素を同時にアクティブとするのは、通常の動作において1枚のパネルの全画素に対する信号の書き込みおよび読み出しを高速に行うためである。

**【0027】**

コンパレータCMP<sub>1</sub>～CMP<sub>n</sub>のそれぞれの出力を外部に直接的に導出しても良いが、LSIの端子ピンの数が増える問題がある。例えば水平方向の画素数がH=1920の場合には、n=960となり、960個の端子を導出する必要がある。この点に対処するための構成の一例を図2に示す。

**【0028】**

図2では、簡単のため、図1の構成におけるコンパレータCMP<sub>1</sub>～CMP<sub>n</sub>のみを示している。コンパレータCMP<sub>1</sub>～CMP<sub>n</sub>の全ての出力がエクスクルーシブORゲート15に供給される。エクスクルーシブORゲート15は、画素

部およびコンパレータCMP 1～CMP nが形成される半導体基板例えばSi基板上に画素部と同様にCMOSプロセスによって形成される。

#### 【0029】

あるゲート信号線G<sub>m</sub>に接続された画素部の全てが正常であると、コンパレータCMP 1～CMP nの出力が全て“H”または“L”となり、エクスクルーシブORゲート15の出力が“L”となる。若し、1つの画素でも正常でないと、エクスクルーシブORゲート15の出力が“H”となる。したがって、図2の構成によれば、各ゲート信号線につながる画素の欠陥の有無がエクスクルーシブORゲート15の出力で瞬時に分かる。

#### 【0030】

図3は、コンパレータCMP 1～CMP nの出力の処理の他の構成例を示す。あるゲート信号線G<sub>m</sub>に接続された画素部に関するコンパレータCMP 1～CMP nの出力がパラレル・シリアル変換器17の並列入力端子に供給される。パラレル・シリアル変換器17は、同時に入力されたn個のコンパレータの出力をシリアル出力端子18から順番に出力する。パラレル・シリアル変換器17は、画素部およびコンパレータCMP 1～CMP nが形成される半導体基板例えばSi基板上に画素部と同様にCMOSプロセスによって形成される。図3の構成では、期待値を出力しなかったシリアルデータの位置から欠陥画素の位置を判定することが可能となる。

#### 【0031】

図4は、基板検査時の構成例の概略を示すものである。21が被試験用の基板を示す。LSIテストがテスト本体22、コンピュータ23およびテストヘッドに24によって構成されている。コンピュータ23には、テストのためのアプリケーションプログラムがインストールされている。テスト本体22は、テストに必要な信号を発生し、テストヘッド24を介して基板21に与える。コンパレータCMP 1～CMP nの出力、エクスクルーシブORゲート15の出力またはパラレル・シリアル変換器17のシリアル出力がテストヘッド24を介してテスト本体22またはコンピュータ23に供給され、比較出力を解析することによって画素欠陥のテストがなされる。

**【0032】**

図5は、上述した液晶表示装置基板の一実施形態における画素欠陥の検査方法の一例の概略を示す。最初に、一方の入力端子14aに所定の電圧 $V_a$ を印加し、他方の入力端子14bに所定の電圧 $V_b$  ( $V_a > V_b$ ) を印加して第1回目の書き込み処理S10がなされる。電圧 $V_a$ と $V_b$ との差は、画素欠陥によって大小関係が変化するように、比較的小さいものとされる。次に、第1回目の読み出し処理S20がなされる。読み出し処理S20において得られた比較出力から画素欠陥の検査がなされる。

**【0033】**

次に信号電圧の入替処理S30がなされる。すなわち、一方の入力端子14aに所定の電圧 $V_b$ が印加され、他方の入力端子14bに所定の電圧 $V_a$  ( $V_a > V_b$ ) が印加される。その後、第2回目の書き込み処理S40および第2回目の読み出し処理S50がなされる。第2回目の読み出し処理S50において得られた比較出力から画素欠陥の検査がなされる。

**【0034】**

さらに、この一実施形態における検査方法についてより詳細に説明する。図6は、第1回目の書き込み処理S10をより詳しく示している。書き込み処理では、第1行の全画素に対する同時書き込みがなされ、次に、第2行の全画素に対する同時書き込みがなされ、以下、順番に第3行から最後の第V行までの書き込みがなされ、書き込み処理S10が終了する。

**【0035】**

第1行に対する書き込みを行う場合、まず、実際の駆動時と同様のタイミングにてゲート駆動回路12によりゲート信号線G1をアクティブにし、ゲート信号線G1に接続されている全ての画素トランジスタをオンさせる。次に、実際の駆動時と同様のタイミングで、入力端子14aおよび14bに対してそれぞれ所定の信号電位 $V_a$ 、 $V_b$  ( $V_a > V_b$ ) を印加し、シフトレジスタ11によってデータ信号線をアクティブにするスイッチトランジスタ13aおよび13bの全てを一斉にオンさせ、ゲート信号線G1に接続されている画素のキャパシタ $C_s$ に信号電位を蓄積させる。

## 【0036】

スイッチトランジスタ 13 a のソースに接続されているデータ信号線 DA 1 ~ DA n を介して電位 V a が画素トランジスタ S を介してキャパシタ C s に蓄積される。スイッチトランジスタ 13 b のソースに接続されているデータ信号線 DB 1 ~ DB n を介して電位 V b が画素トランジスタ S を介してキャパシタ C s に蓄積される。信号電位 V a および V b は、欠陥が存在することを検出できるように適切な値に選定される。例えば  $V a = 5 \text{ V}$ 、 $V b = 4 \text{ V}$  とされる。

## 【0037】

そして、実際の駆動時と同様のタイミングで、ゲート駆動回路 12 によりゲート信号線 G 1 を非アクティブにし、ゲート信号線 G 1 に接続されている 1 行の画素トランジスタ S の全てをオフさせる。この状態で、実際の駆動と同じ時間例えば 1 フレーム期間、キャパシタ C s に信号電位 V a または V b を保持する。

## 【0038】

図 7 は、第 1 回目の読み出し処理を詳しく示している。読み出し処理では、先ず、ステップ S 21 において、信号電位を保持させている時間を利用して、全データ信号線を基準電位にプリチャージする。すなわち、入力端子 14 a および 14 b に等しい基準電位  $V p$  を印加し、シフトレジスタ 11 によってスイッチトランジスタ 13 a および 13 b の全てを同時にオンさせ、全てのデータ信号線 DA 1 ~ DA n および DB 1 ~ DB n をアクティブにする。それによって、全てのデータ信号線 DA 1 ~ DA n および DB 1 ~ DB n が基準電位  $V p$  にチャージされる。そして、スイッチトランジスタ 13 a および 13 b の全てをオフし、ハイインピーダンス状態とする。ハイインピーダンス状態とすることによって、基準電位が書き込まれることが防止される。基準電位  $V p$  は、任意の電位で良い。例えば  $V p = 4.5 \text{ V}$  とされる。

## 【0039】

実際の駆動時と同じ時間だけキャパシタ C s に信号電位を保持させた後、第 1 行の読み出し処理 S 22 がなされる。すなわち、ゲート駆動回路 2 を用いて、ゲート信号線 G 1 を再びアクティブにし、ゲート信号線 G 1 に接続されている 1 行の画素トランジスタ S の全てをオンさせる。それによって、ゲート信号線 G 1 に



接続されている第1行の画素のキャパシタ  $C_s$  に保持されていた信号電位がデータ信号線に読み出される。

#### 【0040】

第1行の比較処理 S22において、第1行の全画素のキャパシタ  $C_s$  から読み出された信号電位がコンパレータ  $CMP1 \sim CMPn$  において比較され、 $n$  個の比較出力が得られる。データ信号線  $DA1 \sim DAn$  には、信号電位  $V_a$  が書き込まれており、データ信号線  $DB1 \sim DBn$  には、信号電位  $V_b$  ( $V_a > V_b$ ) が書き込まれている。第1行の全画素に欠陥がないと仮定すると、データ信号線  $DA1 \sim DAn$  に読み出された電位は、データ信号線  $DB1 \sim DBn$  に読み出された電位より高くなる。

#### 【0041】

図8は、書き込み、プリチャージ、読み出しの各動作におけるデータ信号線の電位の変化を概略的に示している。図8Aに示すように、書き込み時には、データ信号線例えば  $DA1$  が  $V_a = 5V$  の信号電位とされ、 $DB1$  が  $V_b = 4V$  の信号電位とされ、第1行の全画素に対する書き込みがなされる。

#### 【0042】

次に、プリチャージ動作では、全データ信号線が基準電位  $V_p = 4.5V$  とされる。そして、例えば第1行の全画素の読み出しがなされる。この場合、第1行の隣接する2画素に欠陥がなければ、データ信号線  $DA1$  に読み出された電位が例えば  $4.7V$  となり、データ信号線  $DB1$  に読み出された電位例えば  $4.3V$  よりも高いものとなり、コンパレータ  $CMP1$  の比較出力が“H”となる。

#### 【0043】

図8Bは、基準電位  $V_p$  を ( $V_p > V_a$ ) 例えば  $V_p = 8V$  とした例を示す。この例では、プリチャージによって、データ信号線が  $8V$  にプリチャージされる。そして、読み出し動作によって、各画素のキャパシタ  $C_s$  の蓄積電荷が読み出される。画素に欠陥がなければ、例えばデータ信号線  $DA1$  に読み出された電位が破線で示すデータ信号線  $DB1$  に読み出された電位より高い関係となる。

#### 【0044】

このように、コンパレータ  $CMP1 \sim CMPn$  は、データ信号線  $DB1 \sim DB$

n の電位を基準にして、データ信号線 DA 1 ~ DA n の電位が高ければ、例えば "H" の比較出力を発生し、逆の関係にあれば、"L" の比較出力を発生するように構成されている。両方の入力等しければ、例えば "L" の比較出力を発生するようになされている。したがって、コンパレータ CMP 1 ~ CMP n の全ての出力が "H" であれば、第 1 行の全画素が正常と判断でき、コンパレータ CMP 1 ~ CMP n の 1 つの出力でも "L" であれば、第 1 行に欠陥な画素が含まれていると判断できる。

#### 【0045】

すなわち、電位 V a を書き込んだはずであるのに、電位 V b 以下の電位が読み出される画素は、キャパシタ C s のリークが多い画素、目的の画素を書き込む能力のない画素トランジスタを持つ画素、接地とのショートがある画素等と判定される。一方、電位 V b を書き込んだはずであるのに、電位 V a 以上の電位が読み出される画素は、高めにプルアップされた画素、画素トランジスタが常にオンしたり、または常にオフしたりする異常がある画素等と判定される。

#### 【0046】

第 1 行の読み出し処理 S 2 2 および第 1 行の比較処理 S 2 2 が終了すると、次に、第 2 行の読み出し処理および第 2 行の比較処理が同様になされる。以下、最後の第 V 行の読み出し処理および第 2 行の比較処理 S 2 4 まで、処理が繰り返され、基板上の全画素の欠陥検査がなされる。各行の欠陥検査の結果は、図 4 の検査システムにおけるコンピュータ 2 3 に接続されたディスプレイ（図示しない）の画面上に表示され、必要に応じてプリンタ（図示しない）に出力される。

#### 【0047】

図 5 に示すように、第 1 回目の書き込み処理および第 1 回目の読み出し処理が終了すると、入力端子 1 4 a および 1 4 b に供給される信号電位 V a および V b が入れ替えられる処理 S 3 0 がなされる。すなわち、信号電位 V a が入力端子 1 4 b に供給され、信号電位 V b が入力端子 1 4 a に供給される。そして、第 1 回目の書き込み処理 S 1 0 と同様の第 2 回目の書き込み処理 S 4 0 と、第 2 回目の書き込み処理 S 2 0 と同様の第 2 回目の読み出し処理 S 5 0 とがなされる。

#### 【0048】

上述した第1回目の書き込み処理および読み出し処理でなされる検査は、( $V_a > V_b$ )の相対的關係を検出するので、電位 $V_a$ を書き込んだはずであるのにさらに高めの電位に変化していたり、電位 $V_b$ を書き込んだはずであるのにさらに低めの電位に変化している欠陥を検出できない。しかしながら、このような欠陥は、上述した信号電圧の入替処理を行うことによって検出することができる。入替処理の後では、欠陥がない場合に、コンパレータの出力が“L”となり、欠陥がある場合に、コンパレータの出力が“H”となる。

#### 【0049】

図9は、この発明の他の実施形態を示す。図1と対応する部分には、同一の参照符号を付して示す。他の実施形態は、並列に複数の画素の書き込みを行わないで、1画素ずつ信号を書き込む例である。したがって、データ信号線は、 $D_1 \sim D_h$ の $h$ 本であり、ゲート信号線は、 $G_1 \sim G_v$ の $V$ 本である。信号電圧は、入力端子14に印加され、トランジスタ13の1つがオンすることで、点順次で書き込みがなされる。

#### 【0050】

他の実施形態では、データ信号線 $D_1 \sim D_n$ のそれぞれと並行に補助的データ信号線 $D_1' \sim D_n'$ を設ける。各画素部の画素トランジスタ $S$ とキャパシタ $C_s$ の接続点が補助的データ信号線 $D_1' \sim D_n'$ に接続される。さらに、図10に示すように、全画素に対応するアンドゲート $AN_{11} \sim AN_{vh}$ が設けられている。アンドゲート $AN_{11}$ に対して補助的データ信号線 $D_1'$ の電圧と、ゲート信号線 $G_1$ の電圧とが入力される。アンドゲート $AN_{21}$ に対して補助的データ信号線 $D_1'$ の電圧と、ゲート信号線 $G_2$ の電圧とが入力される。以下同様に、アンドゲート $AN_{ij}$ に対して補助的データ信号線 $D_j$ の電圧と、ゲート信号線 $G_i$ の電圧とが入力される。

#### 【0051】

上述したアンドゲート $AN_{11} \sim AN_{vh}$ の出力 $C_{11} \sim C_{vh}$ が例えば外部のメモリに記憶され、図11に示すように、ビットマップが構成される。このビットマップがコンピュータの制御によってディスプレイ上のドットとして表示される。また、コンピュータにインストールされたソフトウェアによって、ビット

マップ上の”H”または”L”の画素の個数が計数され、正常または欠陥画素数として測定される。さらに、ビットマップ上の欠陥の画素位置を示す情報がコンピュータによって作成される。

#### 【0052】

上述したこの発明の他の実施形態において、欠陥検査時には、信号入力端子14に対して所定の電圧を印加し、全画素のキャパシタ $C_s$ に対して所定の電圧を充電する。この場合に、各画素部について、所定の電圧に充電されているかどうかをアンドゲートAN11～ANvhの出力C11～Cvhによって検出する。所定の電圧に充電されている場合には、アンドゲートの出力が”H”となり、そうでない場合にアンドゲートの出力が”L”となる。この出力C11～Cvhがビットマップとしてメモリに記憶される。ビットマップの中で、”L”のビットを発生しているアンドゲートの位置が欠陥として検出される。

#### 【0053】

この発明は、上述したこの発明の一実施形態等に限定されるものではなく、この発明の要旨を逸脱しない範囲内で様々な変形や応用が可能である。例えばコンパレータに対しては、必ずしも隣接する2本のデータ信号線の電位を供給する必要はなく、隣接しない2本のデータ信号線の電位をコンパレータに入力しても良い。また、この発明は、反射型液晶表示装置に限らず、透過型の液晶表示装置の基板に対しても適用することができる。

#### 【0054】

さらに、上述した一実施形態においては、2本のデータ信号線に異なる電圧を供給する検査方法について説明したが、コンパレータの代わりに例えばAND回路を用いることにより、同じ電圧を供給して不良箇所の有無を判断することができる。すなわち、不良箇所でなければ、AND回路に対する二つの入力と共に”H”であり、その出力が”H”であるが、例えばキャパシタの不良が存在すると、その出力が”L”となる。このようにして不良箇所の有無を検出できる。

#### 【0055】

#### 【発明の効果】

この発明では、デジタル信号にて、画素欠陥の有無を評価することができ、ア

ナログの波形に基づいて、画素欠陥の有無を評価するのと比較して、検査を容易とし、また、検査時間を短縮化することができる。また、この発明では、検査の際にデータ信号線の寄生容量のばらつきの影響を受けず、また、評価系（例えばテスト系）の容量の影響を受けず、正確な検査を行うことができる。

**【図面の簡単な説明】**

**【図 1】**

この発明の一実施形態の構成を示す接続図である。

**【図 2】**

この発明の一実施形態におけるコンパレータの出力を処理する構成の一例を示す接続図である。

**【図 3】**

この発明の一実施形態におけるコンパレータの出力を処理する構成の他の例を示す接続図である。

**【図 4】**

この発明の一実施形態の検査システムの概略を説明するためのブロック図である。

**【図 5】**

この発明の一実施形態による基板の欠陥検査方法の手順を示すフローチャートである。

**【図 6】**

欠陥検査方法における書き込み処理の手順をより詳細に示すフローチャートである。

**【図 7】**

欠陥検査方法における読み出し処理の手順をより詳細に示すフローチャートである。

**【図 8】**

この発明の一実施形態における電圧変化を概略的に示す略線図である。

**【図 9】**

この発明の他の実施形態の構成を示す接続図である。

**【図 10】**

この発明の他の実施形態において各画素に対応する検査出力を生成するための構成を示すブロック図である。

**【図 11】**

各画素に対応する検査出力の処理の一例を示す略線図である。

**【図 12】**

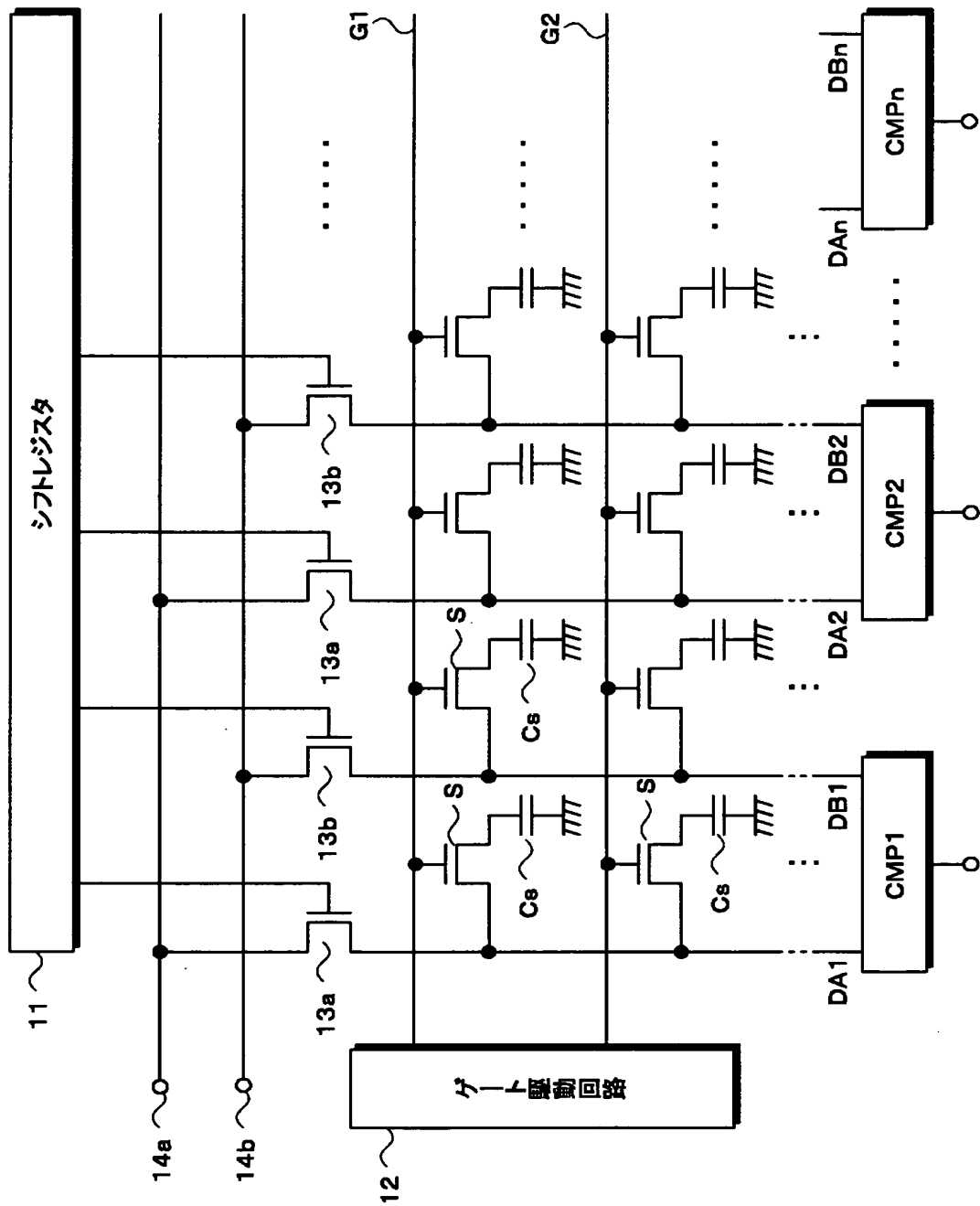
先に提案されている液晶表示装置基板を説明するための接続図である。

**【符号の説明】**

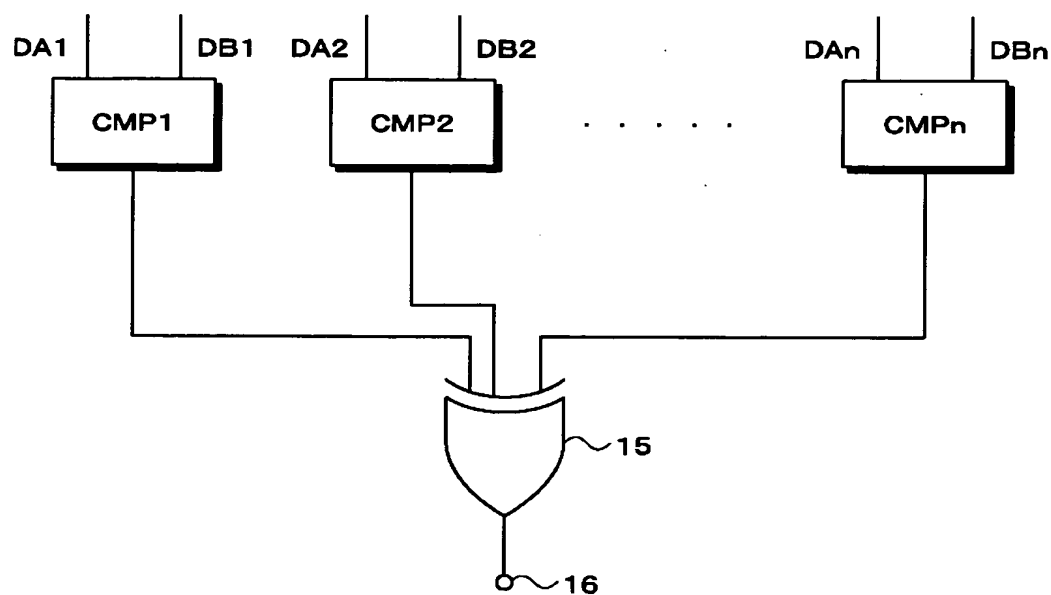
11・・・シフトレジスタ、12・・・ゲート駆動回路、14a、14b・・・信号入力端子、15・・・エクスクルーシブオアゲート、17・・・パラレル・シリアル変換器、G1、G2・・・ゲート信号線、DA1～DAn、DB1～DBn・・・データ信号線、CMP1～CMPn・・・コンパレータ

【書類名】 図面

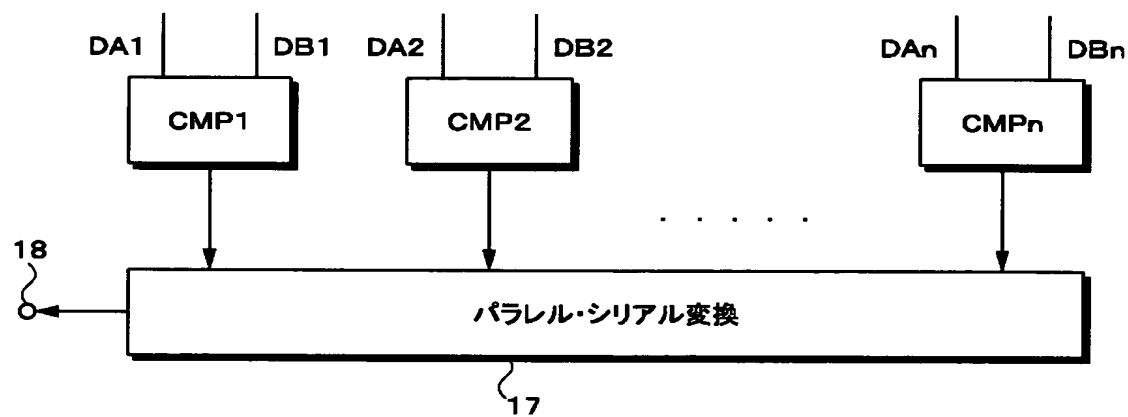
【図 1】



【図 2】

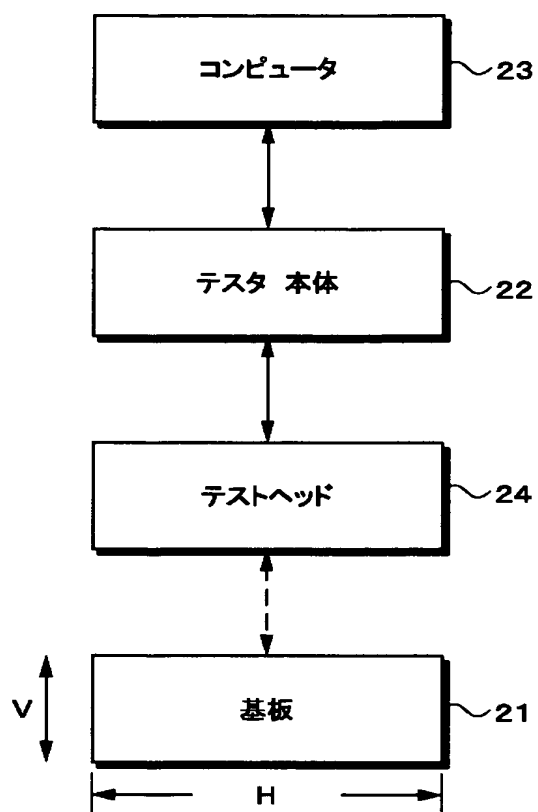


【図 3】

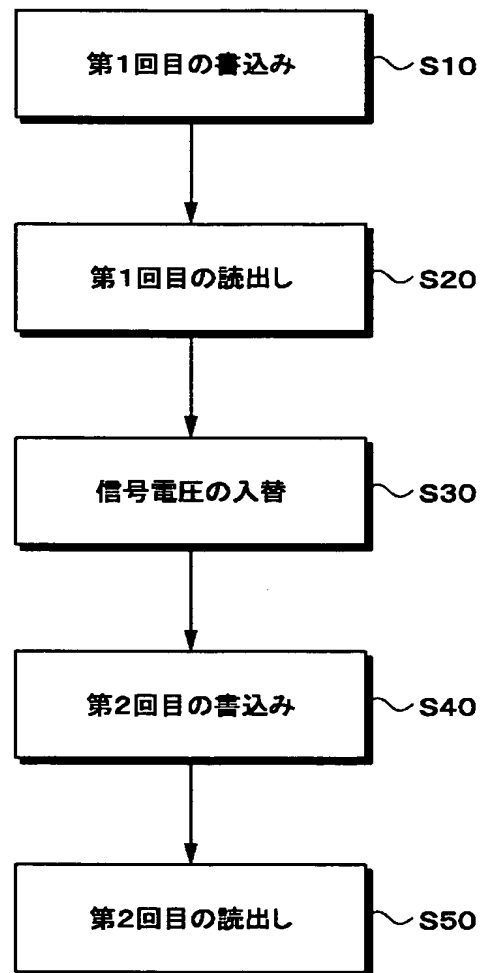




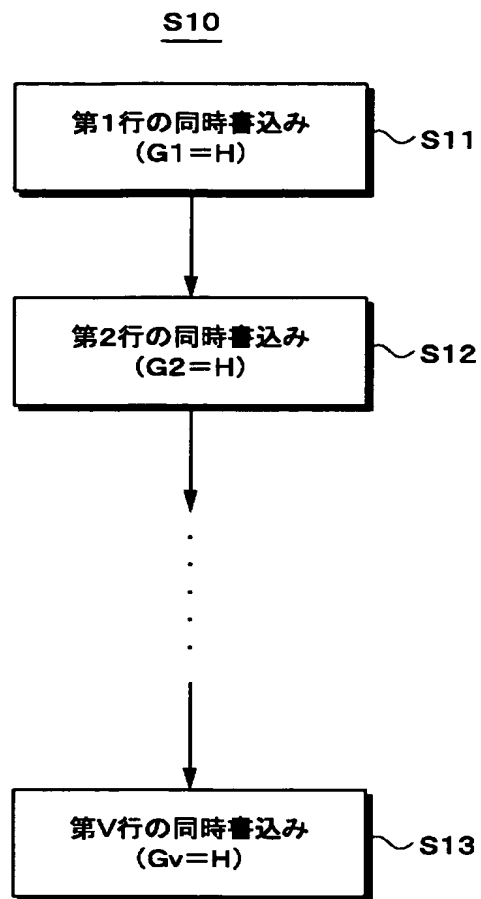
【図 4】



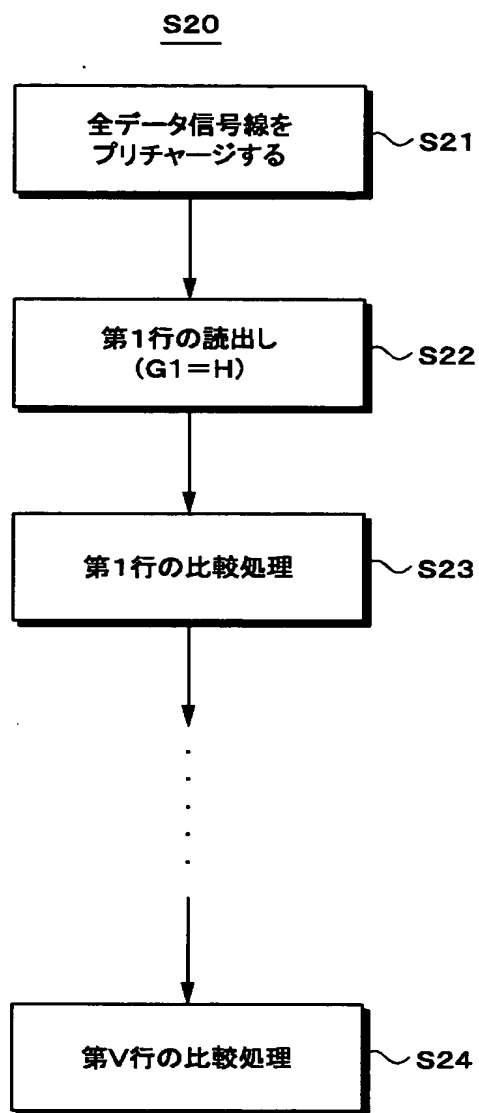
【図 5】



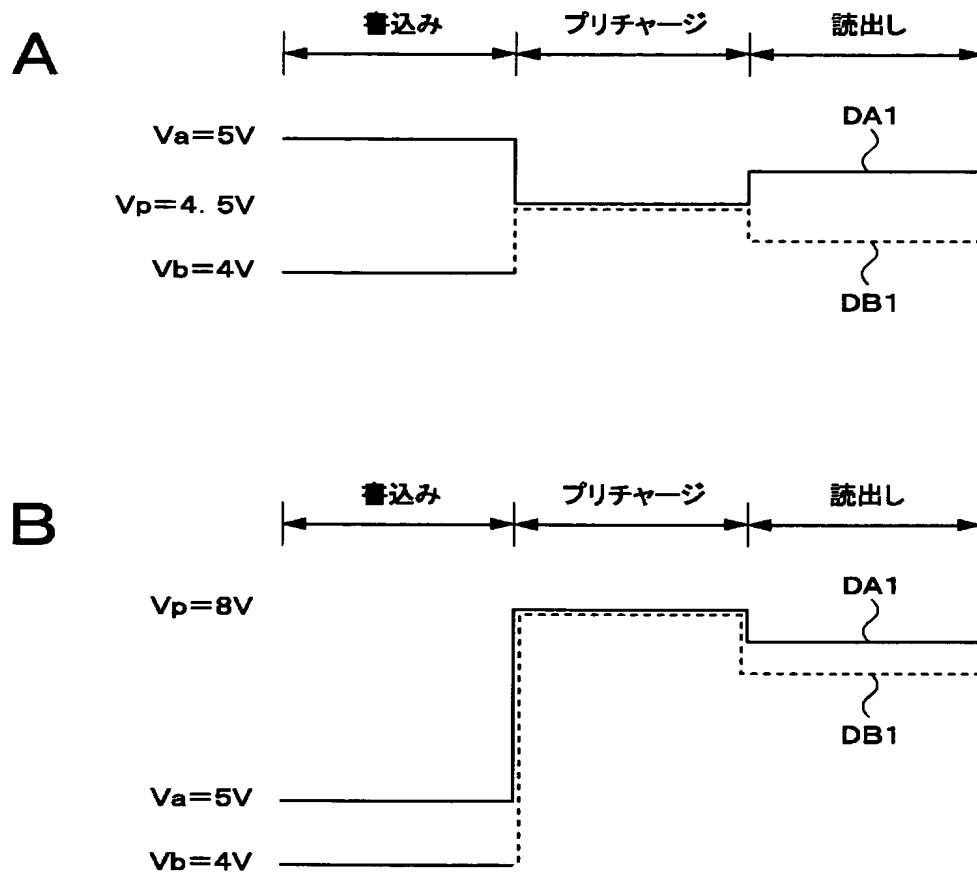
【図 6】



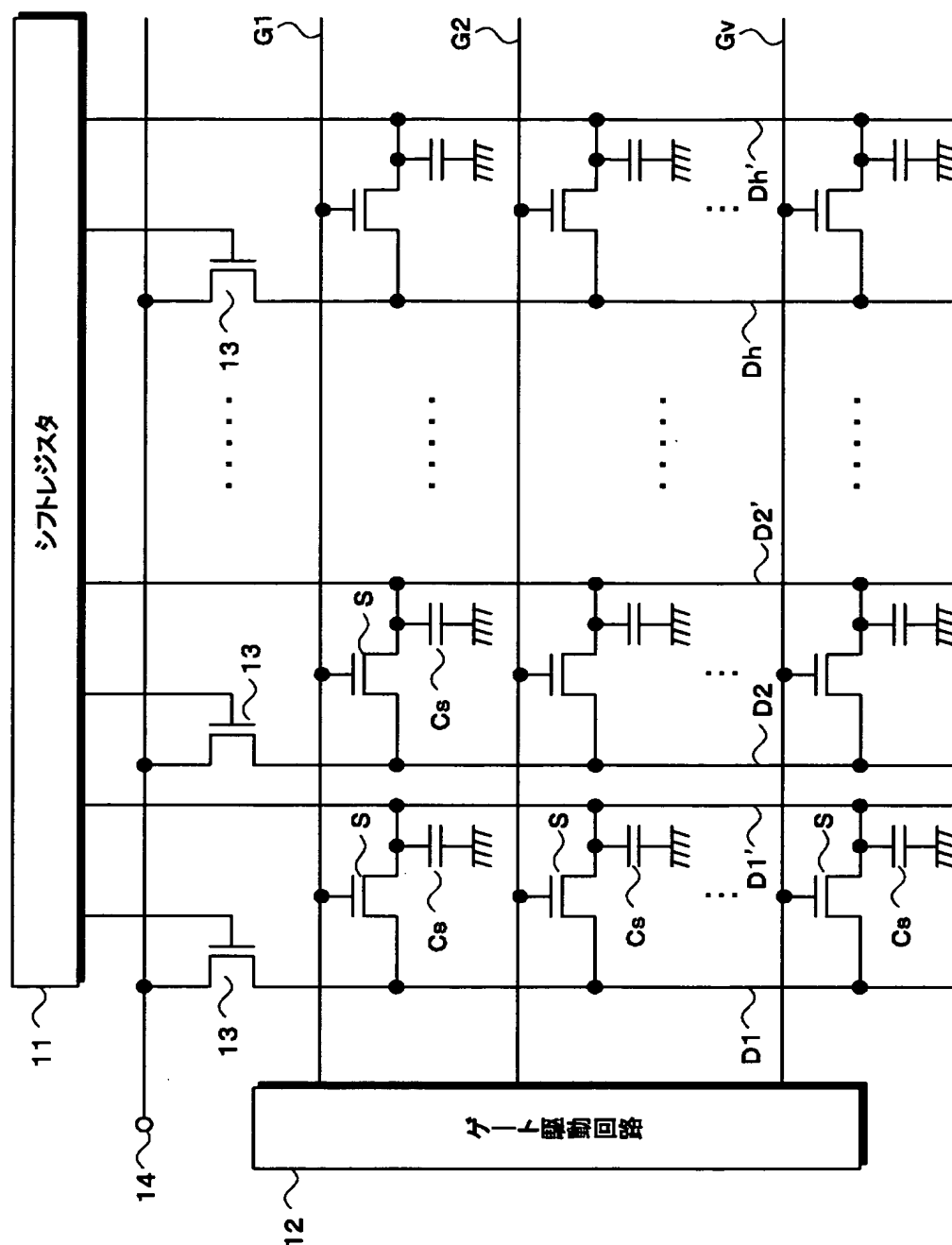
【図 7】



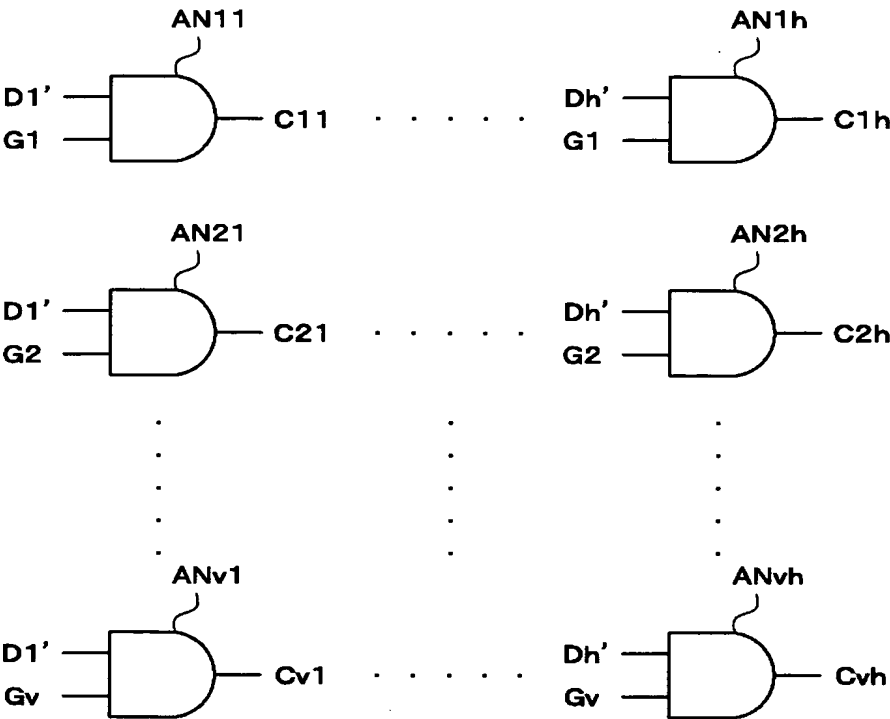
【図 8】



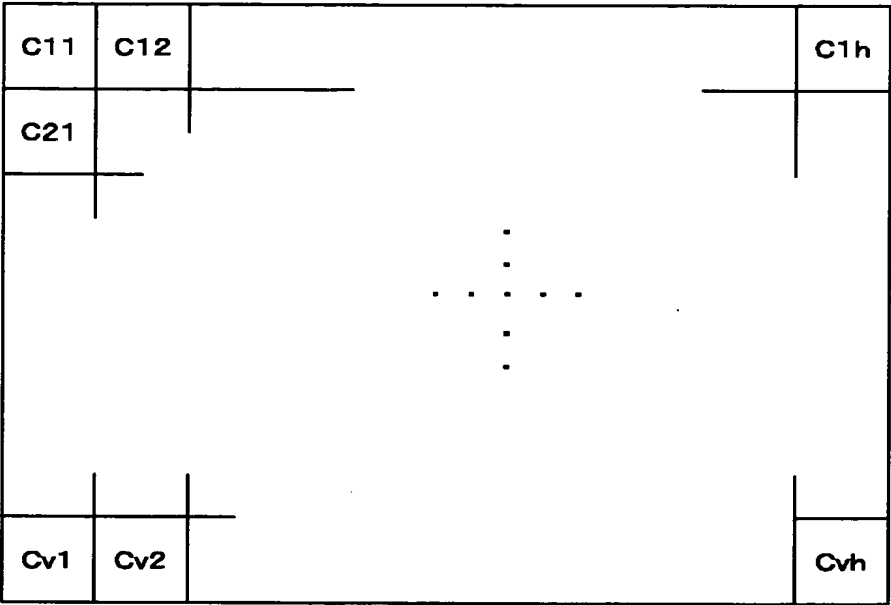
【図 9】



【図 10】

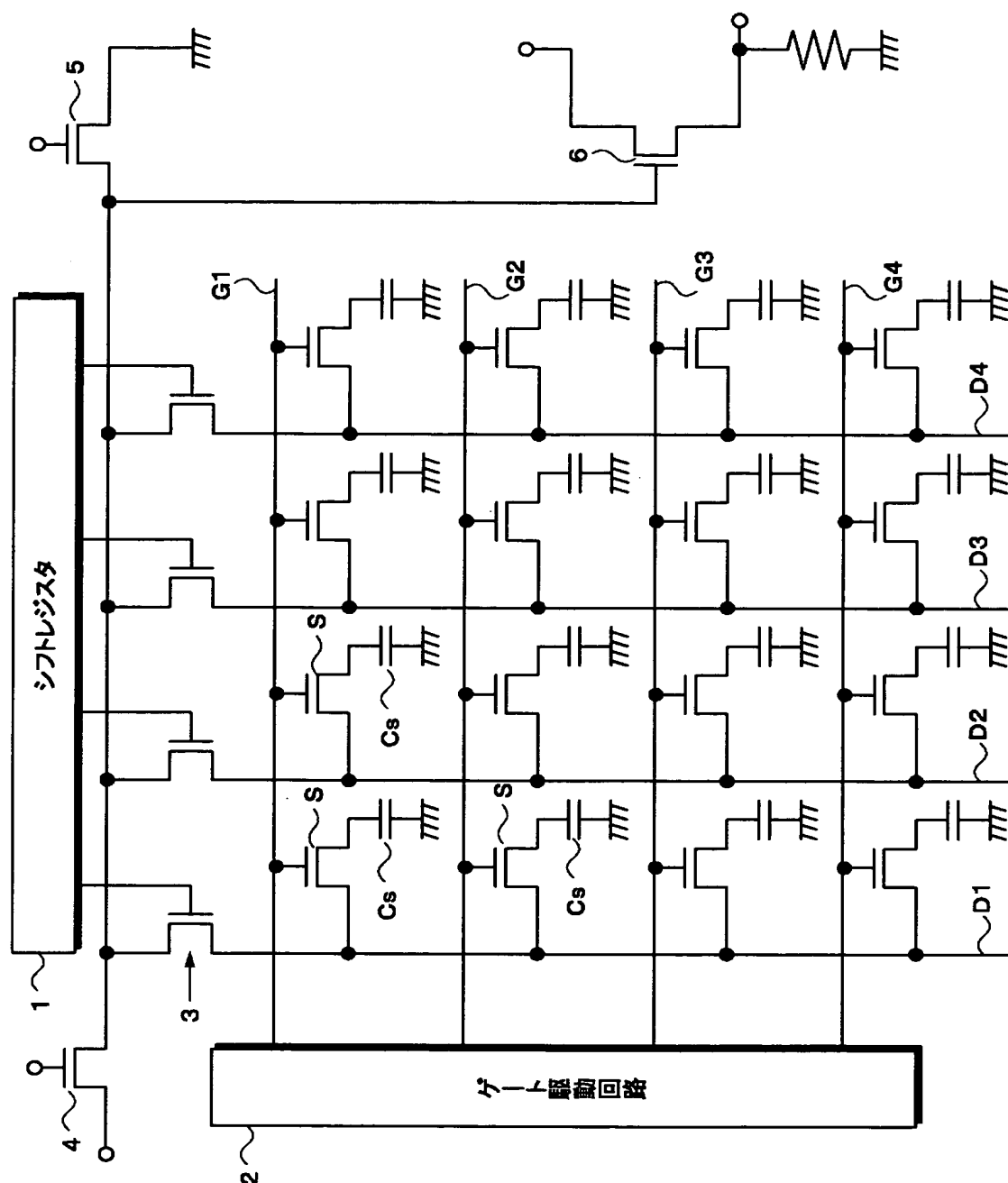


【図 1 1】





【図 12】



【書類名】 要約書

【要約】

【課題】 デジタル信号出力に基づいて画素欠陥の有無を検査し、また、データ信号線の容量のバラツキ、測定系の容量のバラツキに影響されずに正確な検査を可能とする。

【解決手段】 隣接する 2 本のデータ信号線 DA 1 ～ DA n と DB 1 ～ DB n との出力信号がコンパレータ CMP 1 ～ CMP n のそれぞれに供給される。検査時に先ず信号入力端子 1 4 a、1 4 b に異なる信号電位が入力され、第 1 行の全画素から最後の行迄順に信号が書き込まれる。次に端子 1 4 a、1 4 b に等しい電圧が供給されるプリチャージを経て、第 1 行の全画素から最後の行迄順に読み出しがなされる。読み出された信号電位がコンパレータ CMP 1 ～ CMP n によって比較される。コンパレータ CMP 1 ～ CMP n のデジタルの比較出力が書き込まれた電圧の大小関係を保持しているか否かによって画素欠陥が検出される。

【選択図】 図 1

特願 2 0 0 3 - 0 1 2 5 0 6

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 2 1 8 5 ]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都品川区北品川 6 丁目 7 番 3 5 号

氏 名

ソニー株式会社